

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PCT

WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau



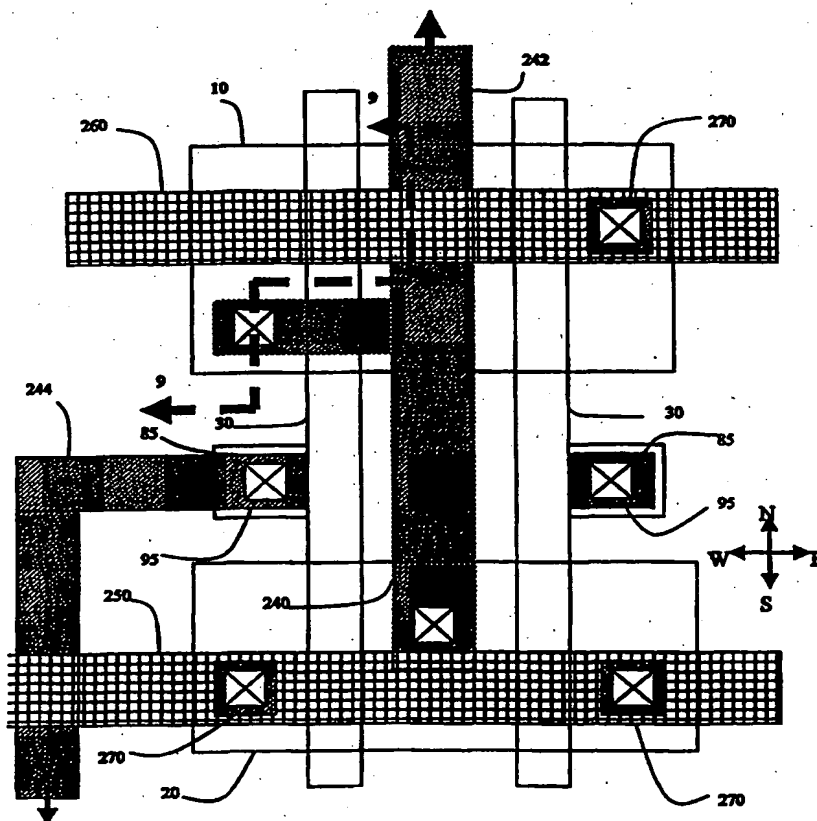
INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶: H01L 27/118, 27/02	A1	(11) International Publication Number: WO 99/28973 (43) International Publication Date: 10 June 1999 (10.06.99)
(21) International Application Number: PCT/US98/25638 (22) International Filing Date: 2 December 1998 (02.12.98) (30) Priority Data: 08/984,029 2 December 1997 (02.12.97) US (71) Applicant: NURLOGIC DESIGN, INC. [US/US]; Suite E206, 1450 Lusk Boulevard, San Diego, CA 92121 (US). (72) Inventors: BRUNOLLI, Michael, J.; 2470 Monterey Drive, Es- condido, CA 92029 (US). MALEK-KHOSRAVI, Behnan; 5471 Parkview Drive, La Jolla, CA 92037 (US). SAM- BAWA, Nurtjahya; 8325 Sugarman Drive, La Jolla, CA 92037 (US). (74) Agents: JAKOPIN, David, A. et al.; Pillsbury Madison & Sutro, LLP, 1100 New York Avenue N.W., Washington, DC 20005 (US).		(81) Designated States: CA, JP, KR, SG, European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report.</i> <i>With amended claims.</i>

(54) Title: POWER/GROUND METALLIZATION ROUTING IN A SEMICONDUCTOR DEVICE

(57) Abstract

A semiconductor device and a method of laying out the same includes routing primary power and ground distributions in the second metallization layer, rather than the first metallization as is conventionally done. This improves routability in the first metallization layer while providing sufficient current handling ability in the power and ground distributions.



(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2001-506429
(P2001-506429A)

(43) 公表日 平成13年5月15日 (2001.5.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/04		H 0 1 L 27/04	D
21/82		21/82	L
21/822			B
27/118			M

審査請求 有 予備審査請求 未請求 (全 29 頁)

(21) 出願番号 特願平11-531404
(86) (22) 出願日 平成10年12月2日 (1998.12.2)
(85) 翻訳文提出日 平成11年7月28日 (1999.7.28)
(86) 国際出願番号 PCT/US98/25638
(87) 国際公開番号 WO99/28973
(87) 国際公開日 平成11年6月10日 (1999.6.10)
(31) 優先権主張番号 08/984, 029
(32) 優先日 平成9年12月2日 (1997.12.2)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP, KR, SG

(71) 出願人 ニュルロジック デザイン インコーポレーテッド
アメリカ合衆国 カリフォルニア州92121, サンディエゴ, スイートE206, ルスクボウルバード, 1450
(72) 発明者 ブルノリ マイケル ジェイ
アメリカ合衆国 カリフォルニア州92029, エスコンディド, モンテレイドライブ, 2470
(72) 発明者 マレックーコスラヴィー ベーナン
アメリカ合衆国 カリフォルニア州92037, ラホーラ, パークビュードライブ, 5471
(74) 代理人 弁理士 伊藤 洋二 (外1名)

最終頁に続く

(54) 【発明の名称】 半導体素子の電源/アース金属配線

(57) 【要約】

半導体素子およびそのレイアウト方法であって、主要電源線および主要アース線を、従来行われたように第1の金属層中ではなく、第2の金属層中に配線するようにした。このことにより、第1の金属層中の配線性、および電源線およびアース線の十分な電流処理能力を向上させることができる。

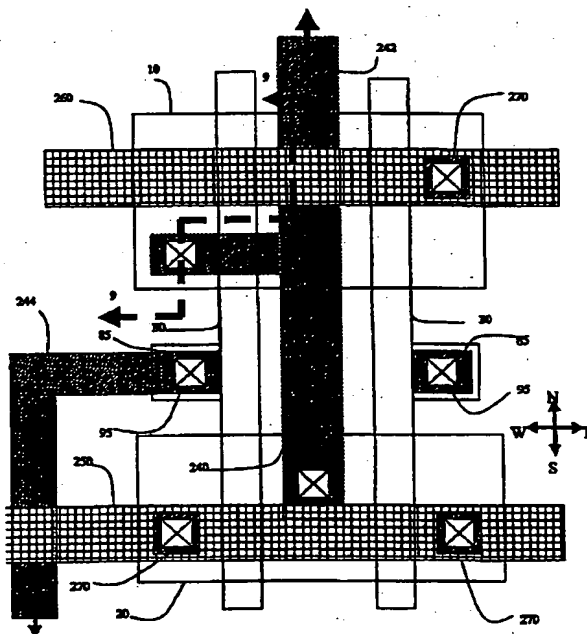


FIGURE 8

【特許請求の範囲】

1. 複数のセルを有する集積回路中の基本セルであって、この基本セルは、

第1導電型素子領域と、

第2導電型素子領域と、

前記第1、第2導電型素子領域の上方に形成された第1の金属層であって、前記第1、第2導電型素子領域および前記複数のセルにおける他のセルに形成された素子間の結線と、前記第1、第2導電型領域の両方に接続された少なくとも1つの内部結線を有しており、前記内部結線は、さらに前記素子間の結線の少なくとも1つに接続されているもの、と、

前記第1の金属層の上方に形成された第2の金属層であって、主要電源線および主要アース線を有しているもの、と、

前記主要電源線および主要アース線と前記第1、第2導電型素子領域との間にそれぞれ電流を流す手段とを含む。

2. 前記電流を流す手段は、積層されたビアおよびコンタクトを有することを特徴とする請求項1に記載の基本セル。

3. 前記主要電源線および主要アース線は、第1の方向に配線され、前記素子間の結線は、前記第1の方向と、前記第1の方向と異なる第2の方向とに配線されていることを特徴とする請求項1に記載の基本セル。

4. 前記基本セルがスタンダードセルであることを特徴とする請求項1に記載の基本セル。

5. 前記基本セルがゲートアレーセルであることを特徴とする請求項1に記載の基本セル。

6. 前記第2の金属層の上方に形成された第3の金属層を備え、前記第3の金属層は、補助電源線および補助アース線を有し、前記主要電源線および主要アース線は、第1の方向に配線され、前記補助電源線および補助アース線は、前記第1の方向と異なる第2の方向に配線されており、さらに

前記補助電源線および補助アース線と前記主要電源線および主要アース線との間にそれぞれ電流を流す手段を含むことを特徴とする請求項1に記載の基本セ

ル。

7. 前記第3の金属層の上方に形成された第4の金属層を備え、前記第4の金属層は、第2補助電源線および第2補助アース線を有し、前記第2補助電源線および第2補助アース線は、前記第1の方向に配線されており、さらに

前記第2補助電源線および第2補助アース線と前記補助電源線および補助アース線との間にそれぞれ電流を流す手段を含むことを特徴とする請求項6に記載の基本セル。

8. 基板と、

前記基板の第1の方向に延在する複数の列を備え、前記複数の列は、それぞれ複数の基本セルを含み、前記基本セルのそれぞれは、

前記基板に形成された第1導電型素子領域と、

前記基板に形成された第2導電型素子領域と、

前記基板上で前記第1、第2導電型素子領域の上方に延在するポリゲートと、

前記基板の上方で前記ポリゲートに接続された第1の金属層に形成された少なくとも1個の入力ピンと、

前記第1の金属層に形成され、前記第1、第2導電型素子領域に接続された素子内結線であって、少なくとも1個の出力ピンを有するもの、と、

前記基板上の前記第1の金属層に形成された複数の素子間結線であって、第1の方向および前記第1の方向と異なる第2の方向とに延在しており、前記複数の素子間結線の少なくとも1つは、前記複数の列中の第1の列における第1の基本セルの入力ピンと前記複数の列中の前記第1の列と異なる第2の列における第2の基本セルの出力ピンとを電氣的に接続しているもの、と、

前記複数の列にそれぞれ関連する複数の主要電源線であって、前記第1の金属層の上方の第2の金属層に形成され、前記第1の方向に延在しているもの、と、

前記複数の列にそれぞれ関連する複数の主要アース線であって、前記第1の金属層の上方の前記第2の金属層に形成され、前記第1の方向に延在しているもの、と、

前記主要電源線および主要アース線と前記基本セルの前記第1、第2導電型素子領域との間にそれぞれ電流を流す手段と、を含むことを特徴とする集積回路。

9. 基板と、

前記基板の第1の方向に延在する複数の列を備え、前記複数の列は、それぞれ複数の基本セルを含み、前記基本セルのそれぞれは、

前記基板に形成された第1導電型素子領域と、

前記基板に形成された第2導電型素子領域と、

前記基板上で前記第1、第2導電型素子領域の上方に延在するポリゲートと、

前記基板の上方で前記ポリゲートに接続された第1の金属層に形成された少なくとも1個の入力ピンと、

前記第1の金属層に形成され、前記第1、第2導電型素子領域に接続された素子内結線であって、少なくとも1個の出力ピンを有するもの、と、

前記基板上の前記第1の金属層に形成された複数の素子間結線であって、第1の方向および前記第1の方向と異なる第2の方向とに延在しており、前記複数の素子間結線の少なくとも1つは、前記複数の列中の第1の列における第1の基本セルの入力ピンと前記複数の列中の前記第1の列と異なる第2の列における第2の基本セルの出力ピンとを電気的に接続しているもの、と、

前記複数の列にそれぞれ関連する複数の主要電源線であって、前記第1の金属層の上方の第2の金属層に形成され、前記第1の方向に延在しているもの、と、

前記複数の列にそれぞれ関連する複数の主要アース線であって、前記第1の金属層の上方の前記第2の金属層に形成され、前記第1の方向に延在しているもの、と、

前記主要電源線および主要アース線と前記基本セルの前記第1、第2導電型素子領域との間にそれぞれ電流を流す手段と、

マルチハイトセルと、を含み、前記マルチハイトセルは、

前記複数の列中の第1の列に関連する第1の第1導電型素子領域と、

前記複数の列中の前記第1の列に隣接した第2の列に関連する第2の第1導電型素子領域と、

前記複数の列中の前記第1の列に関連する第1の第2導電型素子領域と、

前記複数の列中の前記第1の列に隣接した前記第2の列に関連する第2の第2導電型素子領域と、

前記第1の金属層に形成され、前記第1、第2の第1導電型素子領域と前記第1、第2の第2導電型素子領域に接続された第2素子内結線と、を含むことを特徴とする集積回路。

10. 第1導電型素子領域および第2導電型素子領域をそれぞれ含む複数のセルを有する集積回路のレイアウト方法であって、

前記第1、第2導電型素子領域の上方に形成された第1の金属層にセル間結線を設けることと、

前記セルの少なくとも1つの前記第1の金属層に、前記第1、第2導電型素子領域の両方に接続され、さらに前記セル間結線の少なくとも1つに接続された素子内結線を設けることと、

前記第1の金属層の上方に形成された第2の金属層に主要電源線および主要アース線を設けることと、

前記主要電源線および主要アース線と前記第1、第2導電型素子領域との間にそれぞれ電流を流す手段を設けることを含む。

11. 前記電流を流す手段は、前記主要電源線および主要アース線と前記第1、第2導電型素子領域との間に、積層されたビアおよびコンタクトを設けることを含むことを特徴とする請求項10に記載の方法。

12. 前記主要電源線および主要アース線を、第1の方向に配線し、

前記セル間結線を、前記第1の方向と、前記第1の方向と異なる第2の方向に配線することを特徴とする請求項10に記載の方法。

【発明の詳細な説明】

半導体素子の電源／アース金属配線

発明の背景

1. 発明の分野

本発明は、半導体集積回路、詳細には、スタンダードセルやゲートアレーセルのような複数の基本セル回路を有する多金属層半導体素子における電源およびアースの金属配線に関する。

2. 関連技術の説明

図1は、セル5の列3を数多く有する従来の集積回路を図示する。セルの幅は、W1、W2、W3など可変であり、また、細い間隙（図示しない）により分離できる。電源およびアースは、それぞれ、電源バス7およびアースバス9から、主要電源線 (primary power distribution) 60および主要アース線 (primary ground distribution) 50を介して、各セルに供給される。主要電源線および主要アース線は、一般的には、第1の金属被膜層（つまり、“メタル1”）中にレイアウトされる。さらに、隣接する層の金属は、互いに垂直にレイアウトされる。すなわち、例えば4層集積回路において、第1および第3の金属被膜層の配線は、ある方向にレイアウトされ、基板表面（ポリゲートなど）上と第2および第4の金属被膜層の配線は、第1および第3の金属被膜層の配線に対して垂直方向にレイアウトされる。

集積度が増大するにつれ、列3は近接し始め、距離D1は、メタル1中のセル間結線を配線するチャネルとして利用できる列間の空間がなくなるまで小さくなる。従って、このような結線を上層金属中に配線するには、オーバーセルルータなどのツールが必要である。

図2は、図1に示すような従来の集積回路に含むことができる基本セル5のレイアウトを図示する。これは、PFET素子領域10と、NFET素子領域20と、ポリゲート30と、P-N素子内結線40と、主要アース線50と、主要電源線60とを含む。コンタクト70は、主要電源線60からの電源をPFET素子領域に接続し、またコンタクト80は、主要アース線50からのアースをNF

E T素子領域に接続している。また、このセル中の素子と別のセル中の素子とを、コンタクト95によるポリゲート30への接触によって接続するために、入力ピン85が設けられている。

図示の通り、主要電源線および主要アース線は、メタル1において、東西方向にレイアウトされている。P-N内結線40および入力ピン85もまた、一般的には、第1の金属層中にレイアウトされている。図から明らかなように、別の列のセル中にある素子を、セル5の入力ピン85および出力ピン（一般的には、P-N内結線40への接続を介して）に接続するために、そのような結線は、上向きに配線され、主要電源線および主要アース線の上で上層金属を通り、さらにビアホール、コンタクトホールなどを介して下降しメタル1へと戻らなければならない。

図3は、図2による基本セルの断面3-3の側面図である。図3は、PFET素子領域上方の第1の金属層として形成された主要電源線60と、ポリゲート30（すなわち、基板上の、ドーピングを行ったポリシリコン層ゲート）と、これらにより挟持される第1の絶縁層90とを図示している。素子領域10は、基板1中に形成され、酸化物35により他の素子領域から分離されている。ゲート酸化物層25は、ポリゲート30と素子領域10との間に挟持されている。入力ピン85は、第1の絶縁層90を通るコンタクト95によりポリゲート30に接続されている。

メタル1中において主要電源線および主要アース線を配線する従来の方法には、多くの問題が伴う。第1に、例えば40のようなP-N内結線が必要なため、また、セル集積により列間のセル間結線の可能性が制限されるため、メタル1においては、セル間結線がほとんど配線できない。一方、一般的に望ましいのは、下層金属中にできるだけ多くの結線を配設し、上層金属中の配線リソースを使わずに済ますことであり、それによって平均配線長さ短縮が促進される。

第2に、セル集積度が増大するにつれ、ダイの単位面積あたりの素子数が増え、そのため、主要電源線および主要アース線により流す必要のある電流容量が、配

線容量以上に増大する。この問題の1つの解決策は、主要電源線および主要アース線の幅を広くすることである。しかし、D2およびD3のような所定の最低設計距離を維持し、それにより、例えば製造ツールの最低要件を満足しなければならない。電源線およびアース線の幅を広くすると、同様に、素子領域自体の幅も広げなければならない、従って、セル集積度を上げることができない。さらに、最低要件を満足しても、N型素子領域の寸法は増大するがP型素子領域の寸法は同量だけ増大しないことにより、不均衡の問題が発生する可能性がある。これは、一般的には、P型素子がN型素子よりもかなり弱いためである。

前述の電流容量の問題の第2の解決案は、メタル2あるいはメタル3中に、補助線を追加することに関する。

図4は、メタル3中において、メタル1中の主要電源線60と平行に、東西方向に補助線110をレイアウトする技術を図示する。主要線および補助線は、第2の絶縁層100および第3の絶縁層105を通してビアおよびコンタクト120とを周期的に積層することにより、接続する。この解決案により、主要電源線の幅を効果的に広くする。しかし、このように効果的に幅を広くすることは、同一列中に多数のセルがあり同時に電流を必要とする極端な条件下では、不十分であるかもしれない。また、セルの寸法が異なることがあり、そのことにより主要線が南北方向に蛇行し、主要線および補助線の位置を調整することが困難になる。

図5は、補助線をメタル2中に供給する方法を図示する。この方法において、補助電源線115は、メタル2中において、南北方向にレイアウトされ、その下にある主要電源線と共にマトリックスを形成している。層間コンタクトは、周期的に設けられ、補助電源線115と主要電源線60とを接続している。この方法においては、各主要電源線60の電流を並列に分配することが可能で、従って、素子において、“ホット”列は、別の列に関する別の主要電源線60から電流を受けることができる。前述の内容から明らかなように、この方法は、電源と同様にアースに適用してもよい。

補助線をメタル2中に設けることにより主要電源線および主要アース線の能力は向上し、所望の電流量を供給することができるが、別の問題が生じる。例えば

、メタル2中の補助線115は、メタル1のピン位置に干渉し、それにより、素子

の入力ピンおよび出力ピンの動作が妨げられることがある。さらに別の問題が、図6に示される。図示の通り、補助線115を破線で示すようにレイアウトするとき、ピン85が妨げられ、メタル1の結線が形成できない限り、このピンへの接続ができない。しかし、メタル1の結線が形成されることは、まずない。従って、図6に示すように、セルの幅を広くする、あるいはセルの間に間隙を設けることにより、その上部に補助線115をレイアウトしなければならない。図7は、図6におけるセルの断面7-7の側面図である。この図から明らかなように、セルの幅を広げると、あるいはセル間により大きな間隙を設けると、セルの集積度を上げることができない。

その結果、この従来技術では、メタル1の配線性あるいは集積度の増大を妨げることなく十分な電流操作能力を提供する基本セルにおいて、主要電源線および主要アース線を効果的に設ける必要性が残っている。本発明は、この必要性を満足する。

発明の概要

本発明の目的は、複数のセルを有する集積回路中に、効果的な主要電源線および主要アース線を設けることである。

本発明の他の目的は、複数のセルを有する集積回路中の主要電源線および主要アース線に十分な電流処理能力を与えることである。

本発明の他の目的は、複数のセルを有する集積回路中において素子を結線する配線性を向上させることである。

本発明の他の目的は、セルの集積度を向上させることである。

本発明の他の目的は、主要電源線および主要アース線に対して補助線を供給する能力を向上させることである。

本発明の他の目的は、P型素子とN型素子とのバランスを向上させることである。

本発明の他の目的は、平均配線長さを短縮することである。

これらの、および他の発明の目的は、本発明により満足される。好ましい形態において、本発明は、従来行われてきたような第1の金属層ではなく第2の金属層中に、主要電源線および主要アース線を含む。このことにより、第1の金属層中の配線性、および電源線およびアース線の十分な電流処理能力を向上させることができる。

図面の簡単な説明

本発明に関する、前記目的および利点は、特に、以下の詳細な明細書および添付図面を考慮すれば、当業者にとって明らかになるであろう。

図1は、セルの列を有する従来の集積回路のレイアウトを図示する。

図2は、図1に図示するような従来の集積回路中の基本セルのレイアウトを図示する。

図3は、図1による従来のセルの断面2-2の側面図である。

図4は、従来の集積回路中に、メタル3中の補助電源線およびアース線を設ける従来の方法を図示する。

図5は、従来の集積回路中に、メタル2中の補助電源線およびアース線を設ける従来の方法を図示する。

図6は、従来の集積回路中に、メタル3中の補助電源線およびアース線を設ける従来の方法をさらに図示する。

図7は、図6による従来のセルの断面7-7の側面図である。

図8は、本発明に関する、主要電源線および主要アース線を有する基本セルのレイアウトを図示する。

図9は、図8に図示する基本セルの断面9-9の側面図である。

図10は、本発明の原理に関するメタル3およびメタル4中に、補助線を設けることを図示する。

図11は、本発明の原理に関するメタル1におけるセル間結線を図示する。

図12は、本発明に関する集積回路中に、基板タイおよびウェルタイを設けることを図示する。

図13は、本発明の原理に関する、マルチハイト基本セルを図示する。

図14はさらに、本発明に関する集積回路中に、マルチハイト基本セルを設けることを図示する。

好ましい実施例の詳細な説明

図8は、本発明に関する主要電源線および主要アース線を用いる基本セルのレイアウトを図示する。これは、P F E T素子領域10と、N F E T素子領域20と、ポリゲート30と、P-N素子内結線240と、主要アース線250と、主要電源線260と、セル出力部間結線242と、セル入力部間結線244とを含む。ビアおよびコンタクトホール270を積層することにより、次に詳細を記載する通り、主要電源線260からP F E T素子領域に対して電源を接続する。

従来の方と違い、主要電源線および主要アース線は、基本セル中の第2の金属被膜層として形成され、東西方向に配線されている。P-N素子内結線240と、セル出力部間結線242と、セル入力部間結線244とは、第1の金属被膜層中に形成され、東西方向にも南北方向にも配線可能である。別の素子は、従来のセルのものと同様でよく、本発明を理解するために、その詳細をここに繰り返して説明することは必要ではない。

図から明らかなように、メタル1におけるセル間結線の配線性は、メタル1中に主要電源線および主要アース線が無いことにより向上される。図8に図示する例において、P-N素子内結線240をセル出力部間結線242に接続して、このセルの出力部をメタル1の北側の列に設けることができ、一方入力ピンをセル入力部間結線244に接続して、別のセルからこのセルに対する入力部をメタル1の南側の列に設けることができる。当業者は、金属中のセルの入力部と出力部との接続に関する他の例や変更例をすぐに理解できるはずである。

図からさらに明らかなように、セル集積度は、本発明に関する電源線およびアース線を使うことにより著しく向上する。メタル1のセル間結線の配線性が向上することによって上層金属中の配線リソースを使わないで済ませ、平均配線長さを短縮するだけでなく、P-N素子内結線240の一部と、主要電源線および主要アース線250および260とをオーバーラップできることなどにより、素子領域を小さくできる。さらに、N型素子領域を、P型素子領域に対して小さく

くでき、それによりP/Nバランスが向上する。

図9は、図8に図示する基本セルの断面9-9の側面平面図である。図9は、

PFE T素子領域10上方に第2の金属被膜層として形成された主要電源線260と、第2の絶縁層100と、これらにより挟持される第1の絶縁層90とを図示している。図9はまた、メタル1中にセル出力部間結線242を自在に配線し、図8による基本セル中の素子と、このセルの南北にある別のセルとを、コンタクト210を介して接続できる方法の概略を図示している。

主要電源線および主要アース線は、多数の公知の方法により、各素子に接続できる。しかし、図8に図示する本発明の好ましい実施例においては、主要電源線260は、ビアおよびコンタクト270を積層したものを通して、PFE T素子領域に接続される。ビアおよびコンタクトを積層して使うことにより、メタル1の使用を最小限に抑え、それにより、メタル1中の、別の結線の配線性をさらに向上する。

メタル1ではなくメタル2に対して主要電源線および主要アース線を配線することによるさらなる利点は、次の通りである。まず、メタル2中では、電源線およびアース線の幅を適宜広くして、集積回路素子に供給するに必要な電流を扱うことができる。さらに、メタル2の層は、メタル1より厚くなる傾向があり、メタル2中の電源線およびアース線の電流容量が増大する。

図10に示されるように、補助電源線および補助アース線がさらに必要とされる場合、メタル2中の主要線とともにマトリックス状になるように、補助線215をメタル3中に周期的に形成することができる。さらに、メタル3中の補助線とともにマトリックス状になるように、第2の補助線217をメタル4中に周期的に形成することができる。図6により説明した、ピンが妨げられる問題は、本発明においては、メタル1およびメタル2中のピンを利用できるため軽減されることが明らかである。

図11は、隣接する列にあるセル5-Aとセル5-Bとを本発明の原理により相互に、またメタル1中の別のセルと、接続する方法を図示する。この例では、セル間結線342によりセル5-Bの入力部と接続されたセル5-Aの出力部を

図示しており、両セルの別の入力部は、セル間結線344、346および348により同一あるいは別の列にあるセルと接続されている。

多くの公知の方法において、基板接続部(substrate tie)およびウェル接続部(well

tie)が設けられている可能性があるが、図12では、基板接続部およびウェル接続部を本発明に好適に設けている。図12により図示する例では、基板接続部303およびウェル接続部304が各セルの4隅に設けられるとともに、同一列中のセルは基板接続部およびウェル接続部を共有し、それにより、電源およびアースを、各セルの基板およびNウェルに対してそれぞれ接続する。基板接続部およびウェル接続部をこのように設けることにより、メタル1において、南北、東西各方向の配線性は、さほど妨げられない。

本発明の主要電源線および主要アース線の配線のさらなる利点を、図13に示す。メタル1におけるセル間結線の配線性が向上したことにより、マルチハイトセルを以前より容易に設けることができる。図13は、メタル1中の、素子内結線440により連結されるダブルハイトセル305の一例を図示する。ダブルハイトセル305は、図8に示す基本セルの能力を高めたものと考えられ、入力および出力ピン位置を基本セルよりも多数備え、それによりメタル1中のセル間結線の配線性をさらに高める。図14は、ダブルハイトセル305のようなマルチハイトセルを、複数のシングルハイトセル5を有する集積回路中に備える方法を示す。この本発明の利点は、入力および出力ピンを多数有する複雑なセル構造が要求される場合に、特に重要となる。図13および図14は、また本発明に関して、基板接続部303およびウェル接続部304を設ける方法を示している。

本発明の配線方法について上記では、スタンダードセルを有する集積回路に関して特に説明してきたが、本発明の原理は、所定の基本ゲートアレーセルを有するゲートアレーに対しても適用できることに注目すべきである。

また、本発明の好ましい実施例について詳細に説明してきたが、それらの例に対して多数の変更と変形とを、添付の請求項に記載の本発明の精神から逸脱することなく行うことができることは、当業者の察知するところである。

【図1】

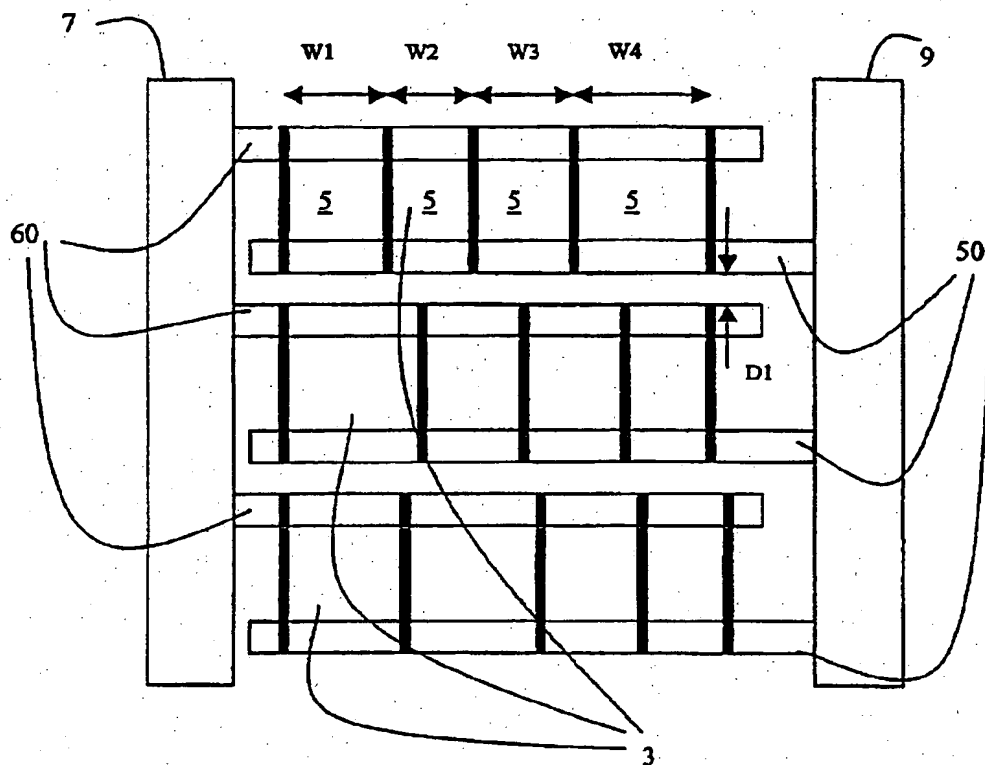


FIGURE 1
(PRIOR ART)

【図2】

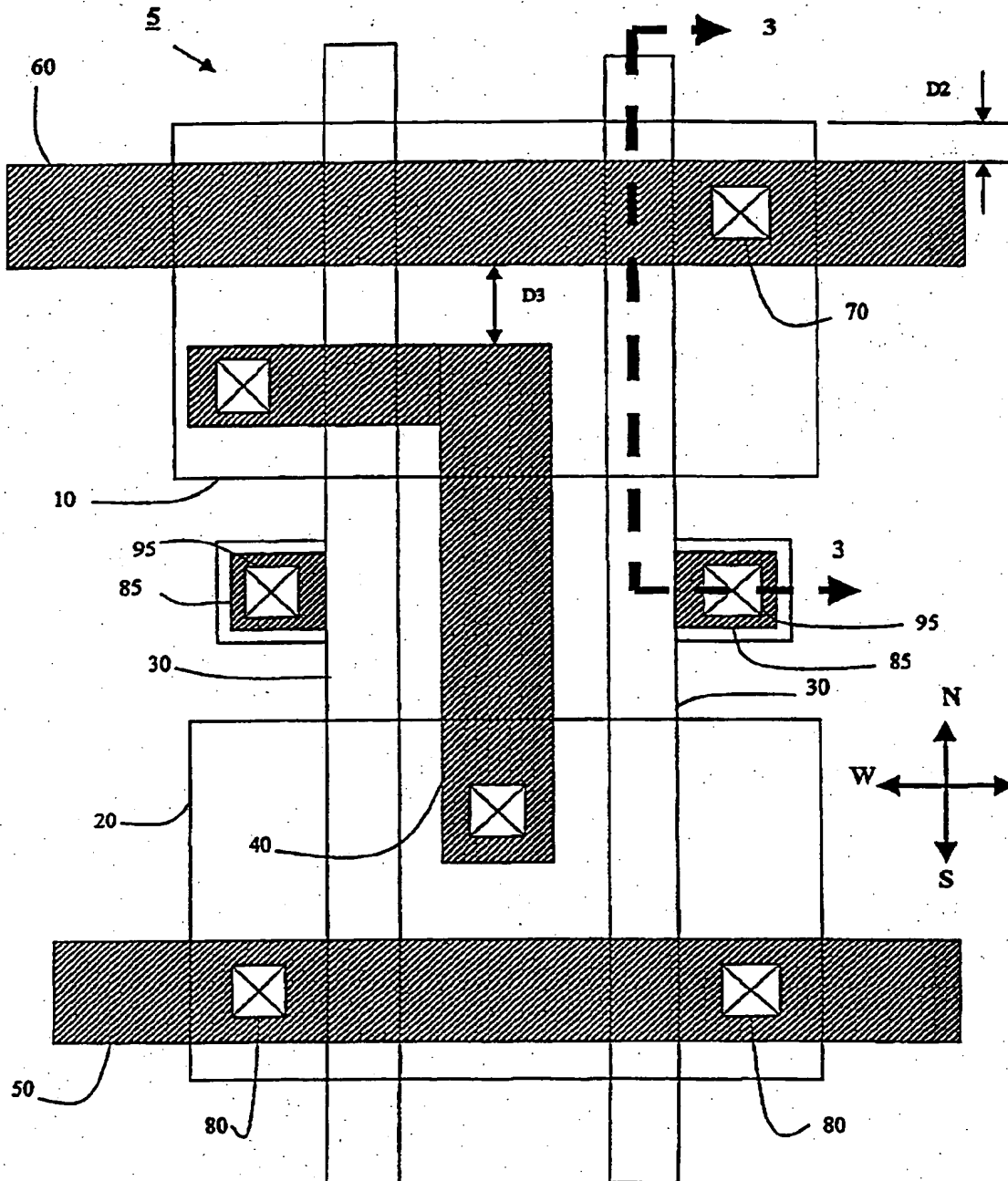


FIGURE 2
(PRIOR ART)

【図3】

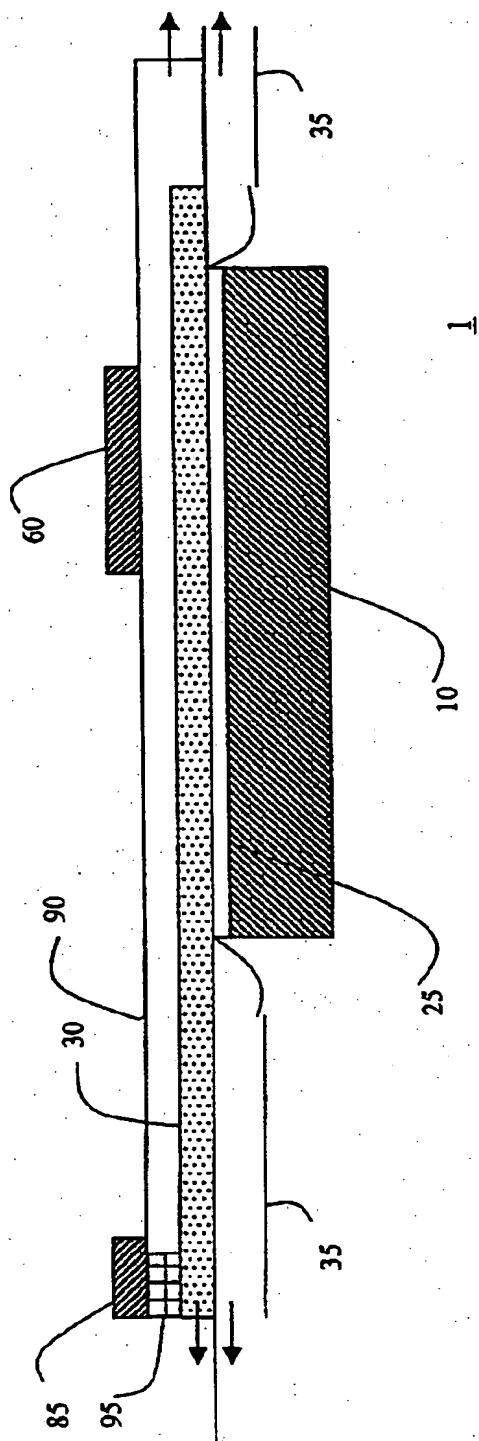


FIGURE 3
(PRIOR ART)

【図4】

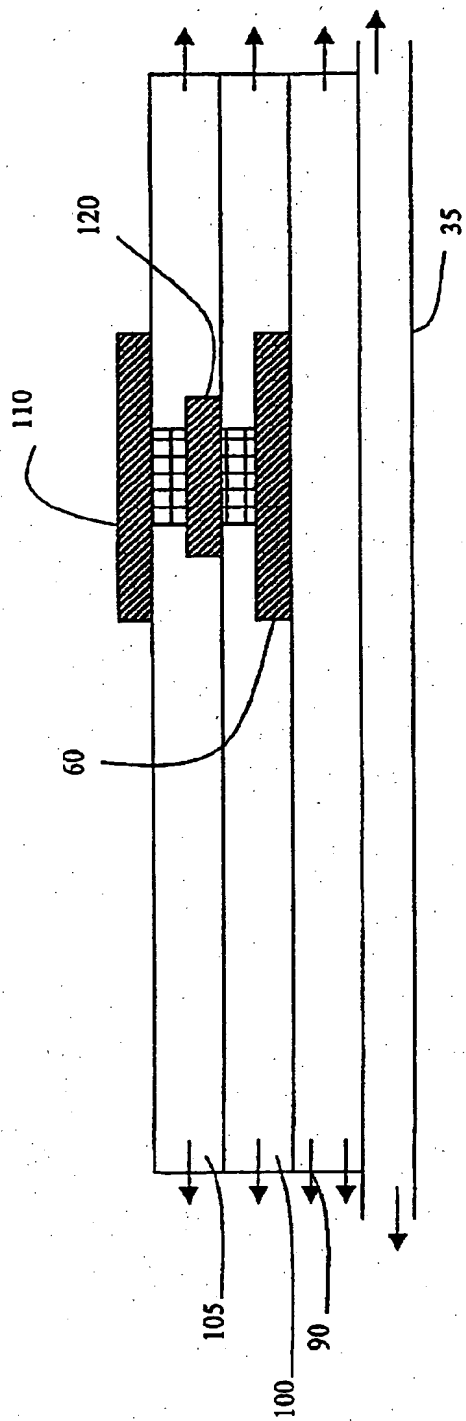


FIGURE 4
(PRIOR ART)

(18)

【図5】

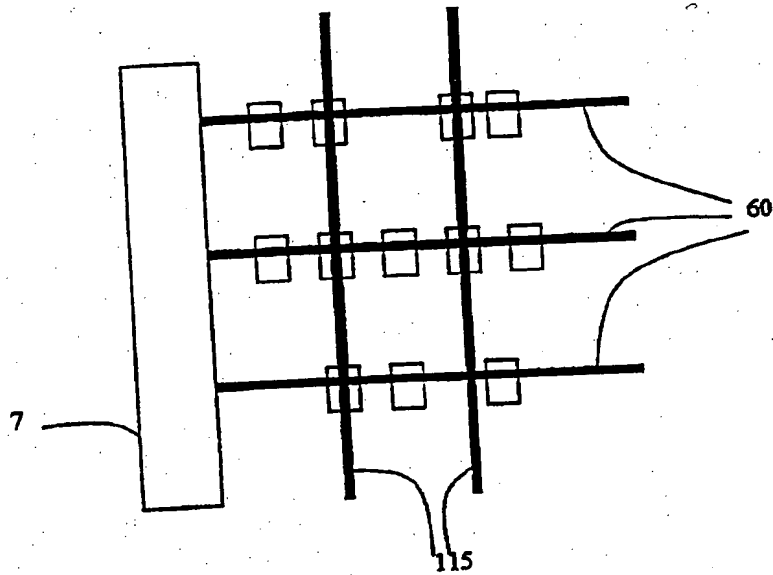


FIGURE 5
(PRIOR ART)

【図6】

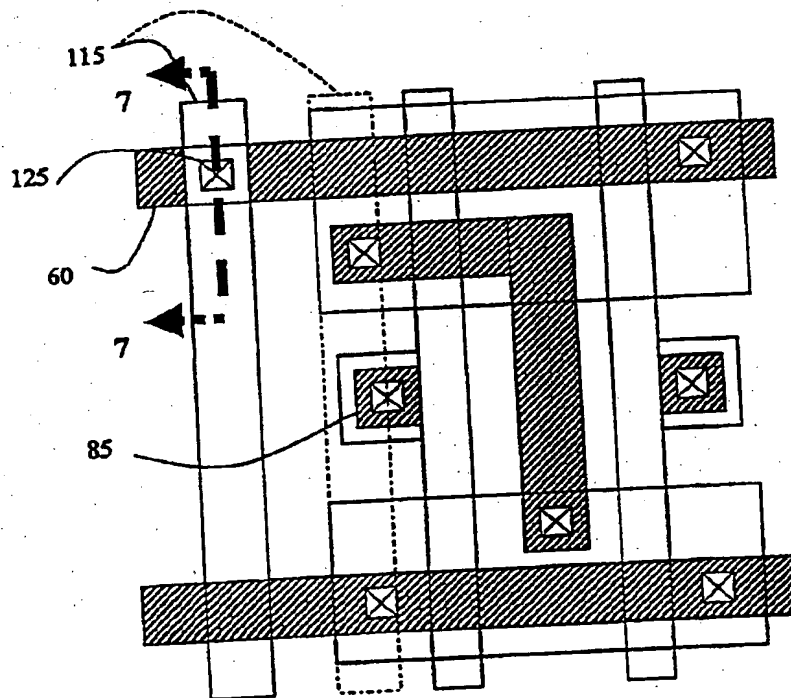


FIGURE 6
(PRIOR ART)

BEST AVAILABLE COPY

(19)

【図7】

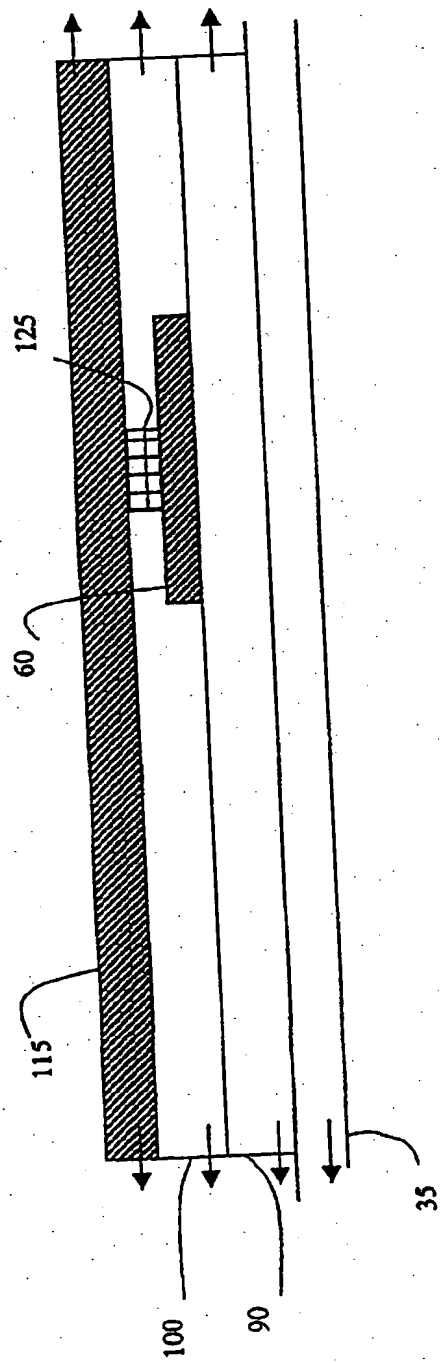


FIGURE 7
(PRIOR ART)

【図8】

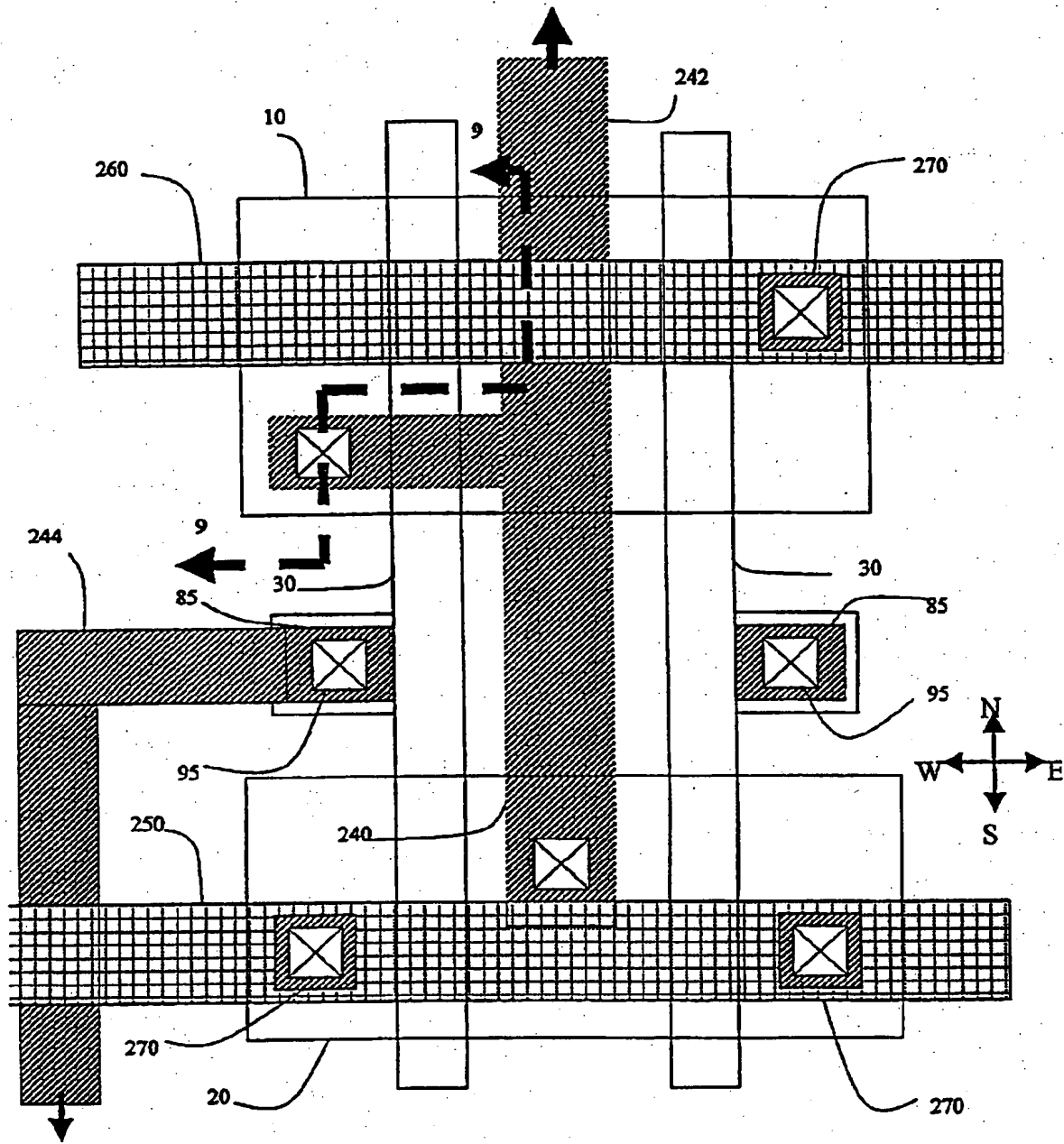


FIGURE 8

【図9】

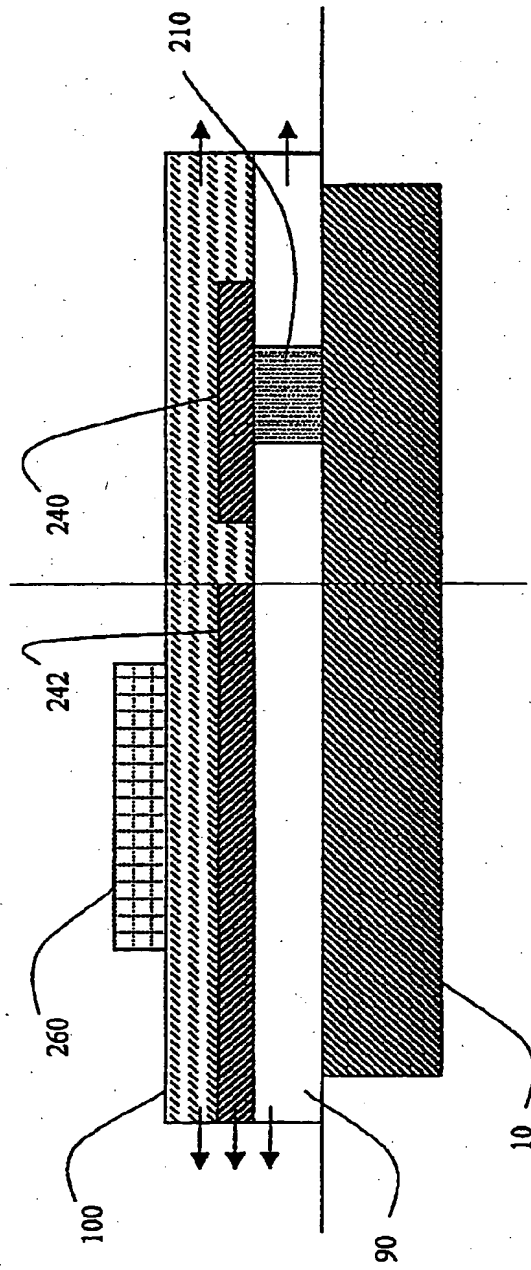


FIGURE 9

【図10】

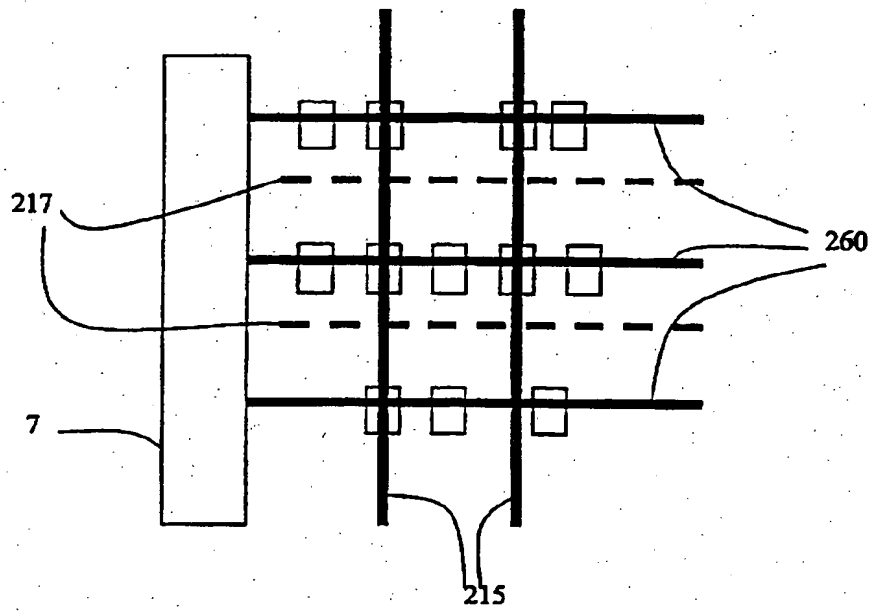


FIGURE 10

【図12】

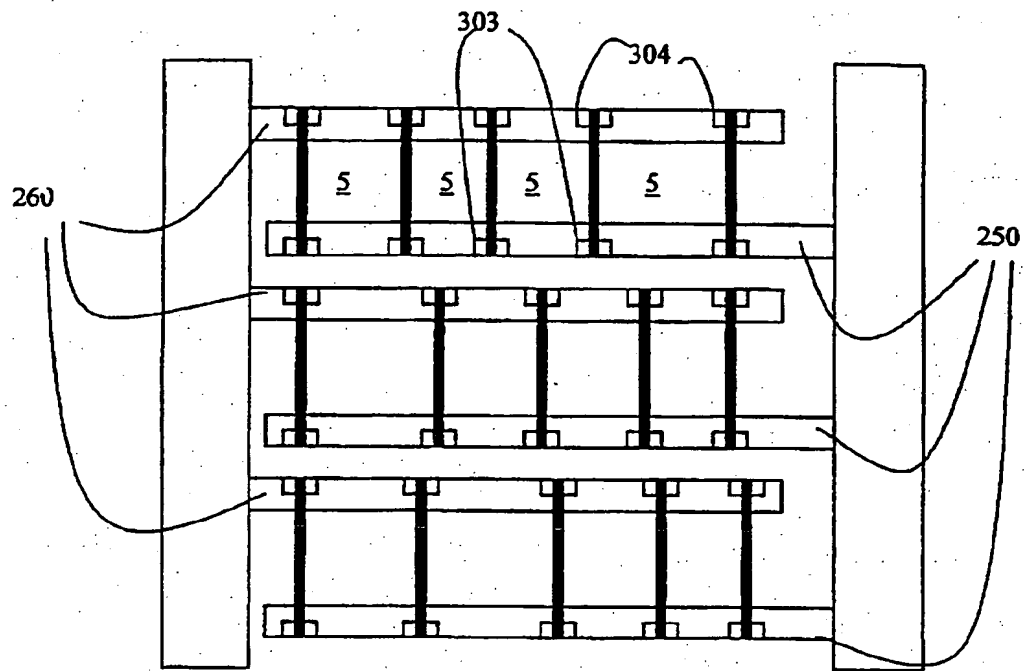


FIGURE 12

【図13】

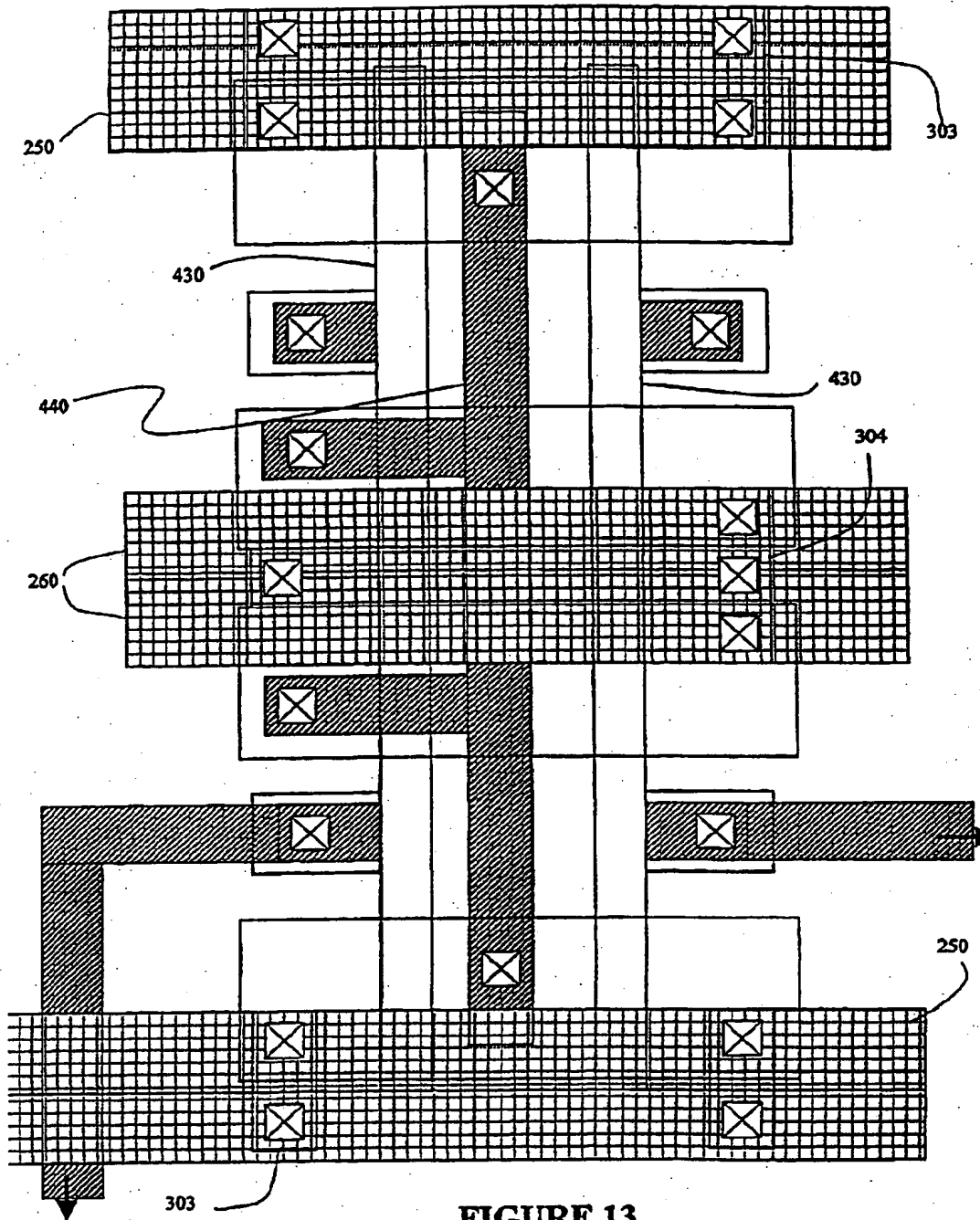


FIGURE 13

【図14】

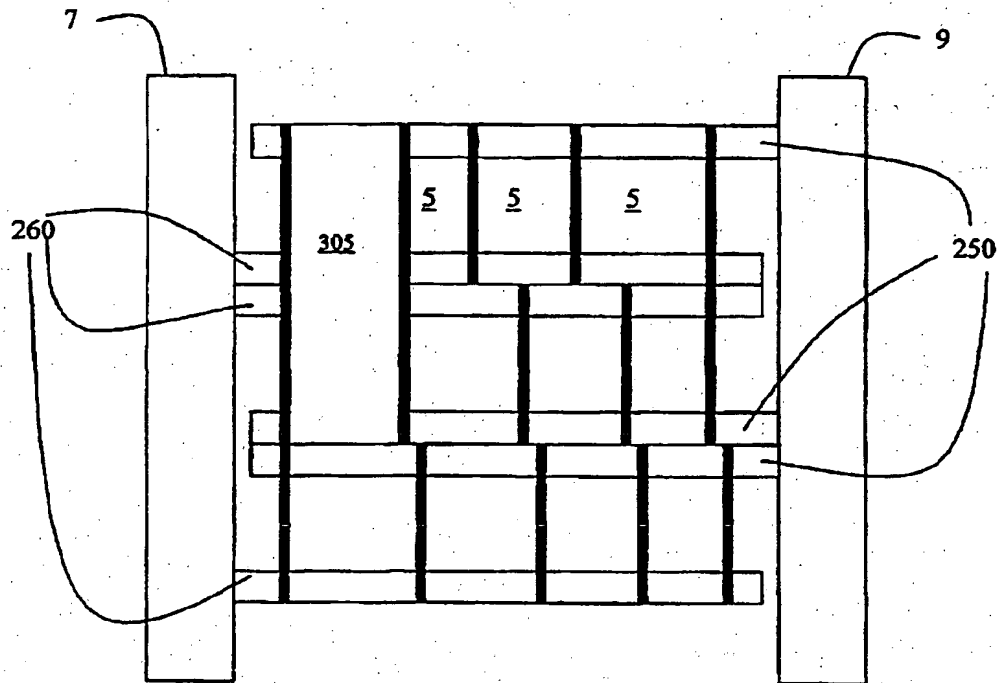


FIGURE 14

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 98/25638

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L27/118 H01L27/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 870 300 A (NAKAYA MASAO ET AL) 26 September 1989 see the whole document	1,8,10
A	US 5 565 758 A (YOELI UZI ET AL) 15 October 1996 see the whole document	1,8,10
A	US 5 656 834 A (GRZYB CLAUS D ET AL) 12 August 1997 see the whole document	1,8,10
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 March 1999		Date of mailing of the international search report 07/04/1999
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Albrecht, C

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 98/25638

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4870300 A	26-09-1989	JP 63041048 A DE 3716868 A	22-02-1988 18-02-1988
US 5565758 A	15-10-1996	IL 111708 A JP 8213574 A US 5818728 A	10-03-1998 20-08-1996 06-10-1998
US 5656834 A	12-08-1997	NONE	

フロントページの続き

(72)発明者 サムバワ ニュルトジャヤ
アメリカ合衆国 カリフォルニア州92037,
ラホーラ, シュガーマンドライブ, 8325